

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年6月3日 (03.06.2004)

PCT

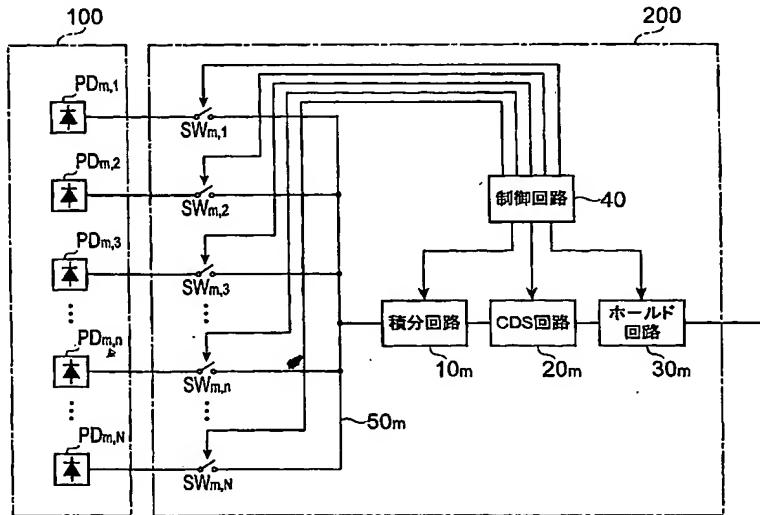
(10) 国際公開番号
WO 2004/047180 A1

(51) 国際特許分類: H01L 27/146, H04N 5/32, 5/335 (72) 発明者: および
 (21) 国際出願番号: PCT/JP2003/014674 (75) 発明者/出願人(米国についてのみ): 鈴木 保博
 (22) 国際出願日: 2003年11月18日 (18.11.2003) (SUZUKI, Yasuhiro) [JP/JP]; 〒435-8558 静岡県浜松市
 (25) 国際出願の言語: 日本語 市野町1126番地の1 浜松ホトニクス株式会社
 (26) 国際公開の言語: 日本語 (内) Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seiichiro)
 (30) 優先権データ: 特願2002-334072 (JP/JP); 〒435-8558 静岡県浜松市市野町1126番地の
 2002年11月18日 (18.11.2002) JP 1 浜松ホトニクス株式会社内 Shizuoka (JP).
 (71) 出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)
 [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の
 1 Shizuoka (JP). (74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.);
 〒104-0061 東京都中央区銀座一丁目10番6号 銀座
 ファーストビル創英國際特許法律事務所 Tokyo (JP).
 (81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
 BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
 DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
 HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
 LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,
 NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: PHOTO DETECTION DEVICE

(54) 発明の名称: 光検出装置



40...CONTROL CIRCUIT
10m...INTEGRATION CIRCUIT

20m...CDS CIRCUIT
30m...HOLD CIRCUIT

WO 2004/047180 A1

(57) Abstract: There is provided a photo detection device having a structure capable of increasing the number of pixels and density and accurate photo detection. The photo detection device includes N photo diodes, N switches, a common wiring, an integration circuit, a first substrate having the N photo diodes, and a second substrate having N switches, a common wiring, and an integration circuit. The N photo diodes and the N switches to be electrically connected are electrically connected by bump connection between the first substrate and the second substrate. This configuration eliminates the necessity of connection wiring arranged two-dimensionally for

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

electrical connection between the N photo diodes and the N switches, thereby reducing the wire length (reducing the noise). Moreover, by the bump connection between the first substrate having the N photo diodes and the second substrate having the remaining electronic devices, the photo diodes can be integrated without considering the wire layout on the first substrate (increasing the density of pixels).

(57) 要約: この発明は、画素数の増加や高密度化が可能な構造であって正確な光検出を可能にする構造を備えた光検出装置に関する。当該光検出装置は、N個のフォトダイオード、N個のスイッチ、共通配線、積分回路、該N個のフォトダイオードが設けられた第1基板、及び、N個のスイッチと共通配線と積分回路が設けられた第2基板とを備える。電気的に接続されるべきN個のフォトダイオードとN個のスイッチとは、第1基板と第2基板とをバンプ接続することにより、電気的に接続される。この構造により、該N個のフォトダイオードとN個のスイッチとを電気的に接続する、二次元的に配置された接続配線が不要になり、配線経路長が短縮される(雑音の低減)。また、N個のフォトダイオードが設けられた第1基板と、残りの電子デバイスが設けられた第2基板とがバンプ接続されることにより、該第1基板上の配線レイアウトを考慮することなくフォトダイオードの集積化が可能になる(画素の高密度化)。

明細書

光検出装置

技術分野

【0001】 この発明は、受光面上に一次元又は二次元配列された複数のフォトダイオードを含む光検出装置に関するものである。

背景技術

【0002】 光検出装置は、受光面上に一次元又は二次元配列された複数のフォトダイオードと、アンプ及び容量素子を含む積分回路とを備えた装置であり、さらに、該積分回路の後段に信号処理回路をも備える場合がある。この光検出装置では、入射光の強度に応じた量の電荷が該フォトダイオードから出力され、その電荷が容量素子に蓄積される。そして、その蓄積された電荷の量に応じた電圧値が積分回路から出力される。このように、複数のフォトダイオードそれぞれで発生した電荷の量に応じて積分回路から出力される電圧値を測定することにより、複数のフォトダイオードが配列された受光面へ入射する光が検出される。

【0003】 上述のような光検出装置としては、例えば特開2001-242253号公報（文献1）に記載された光検出装置が知られている。この文献1に開示された光検出装置では、複数のフォトダイオードに対して1つの積分回路が設けられるとともに、各フォトダイオードと積分回路の入力端との間にスイッチが設けられている。また、この光検出装置では、第1基板上に複数のフォトダイオードが形成され、第2基板上に積分回路が形成されており、これら第1基板の端部と第2基板の端部とがボンディングワイヤで接続されている。そして、複数のスイッチそれぞれが順次に閉じることにより、第1基板上の複数のフォトダイオードそれぞれで発生した電荷が順次に第2基板上の積分回路に入力して、その電荷の量に応じた電圧値が順次に積分回路の出力端より出力される。この光検出装置は、画素数の増加や高密度化が可能である。

発明の開示

【0004】 発明者らは、上述の従来技術について検討した結果、以下のような課題を発見した。すなわち、従来の光検出装置において、各フォトダイオードから積分回路の入力端へ至るまでの電荷移動のための配線経路は、第1基板上における各フォトダイオードから端部へ至るまでの配線経路と、第1基板の端部から第2基板の端部へ至るまでのボンディングワイヤと、第2基板上における端部から積分回路の入力端へ至るまでの配線経路とを含む。このように総配線長が長いと、この配線における寄生容量が大きくなる。そのため、従来の光検出装置では、積分回路から出力される電圧値に含まれる雑音が大きく、正確な光検出をすることができなかつた。

【0005】 この発明は、上述のような課題を解決するためになされたものであり、画素数の増加や高密度化が可能な構造であつて、正確な光検出を可能にする構造を備えた光検出装置を提供することを目的としている。

【0006】 この発明に係る光検出装置は、N（2以上の整数）個のフォトダイオードと、該N個のフォトダイオードが設けられた第1基板と、該第1基板とバンプ接続された第2基板と、該N個のフォトダイオードにそれぞれ対応して第2基板内に設けられた、電気的に開閉可能な第1及び第2端を有するN個のスイッチと、第2基板内に設けられた共通配線と、そして、第2基板内に設けられた積分回路とを備える。

【0007】 上記N個のフォトダイオードのそれぞれは、入射光強度に応じた電荷を発生する。上記第1基板は、一方の表面上に該N個のフォトダイオードにそれぞれ対応したN個の第1ボンディングパッドが配置されている。上記第2基板は、第1基板と向かい合う第1表面上にN個の第1ボンディングパッドに対応して設けられかつそれが該N個の第1ボンディングパッドのうち関連する第1ボンディングパッドとバンプを介して電気的に接続されたN個の第2ボンディングパッドが配置されている。また、この第2基板は、第1表面と該第1表面に対向する第2表面との間にデバイス形成層を含む。

【0008】 さらに、上記N個のスイッチは、N個のフォトダイオードにそれぞれ対応して第2基板のデバイス形成層内に設けられている。また、該N個のスイッチそれぞれの第1端は、N個のフォトダイオードのうち関連するフォトダイオードと、関連する第1ボンディングパッド、バンプ及び第2ボンディングパッドを介して電気的に接続されている。上記共通配線及び積分回路のいずれも、第2基板のデバイス形成層内に設けられている。なお、上記共通配線は、N個のスイッチそれぞれの第2端に共通に接続されている。また、上記積分回路は、共通配線を介して入力された電荷を蓄積する積分回路であって、共通配線と電気的に接続された入力端と、蓄積された電荷量に応じた電圧値を出力するための出力端を有する。

【0009】 この発明に係る光検出装置では、N個のスイッチそれぞれが順次閉じることより、N個のフォトダイオードそれぞれから順次、入射光強度に応じた量の電荷が出力される。N個のフォトダイオードそれぞれから出力された電荷は、該フォトダイオードが設けられた第1基板からバンプを介して第2基板へ移動し、第2基板上のスイッチ及び共通配線を経て積分回路の入力端に到達する。そして、積分回路の出力端から、フォトダイオードで発生した電荷量に応じた電圧値が出力される。このように、当該光検出装置は、N個のフォトダイオードが配列されている第1基板に入射した光を検出する。

【0010】 さらに、この発明に係る光検出装置では、フォトダイオードが設けられた第1基板と、共通配線及び積分回路などが設けられた第2基板とは、互いにバンプ接続されている。さらに、第2基板において、バンプ接続用の第2ボンディングパッドが設けられた層より下に位置するデバイス形成層に、共通配線及び積分回路などが設けられている。このような構成により、当該光検出装置では、各フォトダイオードから積分回路の入力端へ至るまでの電荷移動経路が短くなり、その経路上の配線における寄生容量が小さくなる。その結果、積分回路から出力される電圧値に含まれる雑音が小さく、正確な光検出が可能になる。また、

第1基板上には積分回路などの信号処理用の回路が存在しないので、画素数の増加や高密度化が可能になる。

【0011】この発明に係る光検出装置において、上記N個のスイッチ、共通配線及び積分回路は、第2基板の第1表面のうちN個の第2ボンディングパッドが配置された領域に相当する、該第2基板のデバイス形成層内の領域に配置されるのが好ましい。また、この発明に係る光検出装置において、積分回路の入力端は、N個のフォトダイオードそれぞれから積分回路の入力端へ至るまでの電荷移動経路に沿った距離のうち最大距離が最小となる位置において、共通配線と接続されるのが好ましい。いずれの場合にも、電荷移動経路の更なる短縮、寄生容量の更なる低減、及び、積分回路からの出力電圧値に含まれる雑音の更なる低減が可能になるからである。

【0012】この発明に係る光検出装置において、第1基板と第2基板との間に配置されるバンプの配置ピッチは、該第1基板におけるN個のフォトダイオードの配置ピッチよりも短いのが好ましい。この場合も、電荷移動経路の更なる短縮、寄生容量の更なる低減、及び、積分回路からの出力電圧値に含まれる雑音の更なる低減、が可能になる。また、第1基板より第2基板を小さくすることが容易となり、複数の光検出装置を配列する際に、フォトダイオードが設けられている各第1基板を極めて接近させて又は接触させて配列することができる。なお、上記第1基板と第2基板との間には樹脂が充填されるのが好ましい。

【0013】この発明に係る光検出装置は、N個のフォトダイオード、N個のスイッチ、共通配線及び積分回路を1組として、M組（2以上の整数）の光検出ユニットを備えてもよい。なお、M組の光検出ユニットそれぞれは、上述の光検出装置（この発明に係る光検出装置）と同様の構成を備える。また、M組の光検出ユニットに含まれるフォトダイオードは、第1共通基板に設けられ、スイッチ、共通配線及び積分回路は、第2共通基板のデバイス形成層に設けられる。この場合、第1共通基板上にM×N個のフォトダイオードが配列され、画素数の更なる

増加が可能になる。

【0014】 なお、この発明に係る各実施例は、以下の詳細な説明及び添付図面によりさらに十分に理解可能となる。これら実施例は単に例示のために示されるものであって、この発明を限定するものと考えるべきではない。

【0015】 また、この発明のさらなる応用範囲は、以下の詳細な説明から明らかになる。しかしながら、詳細な説明及び特定の事例はこの発明の好適な実施例を示すものではあるが、例示のためにのみ示されているものであって、この発明の思想及び範囲における様々な変形及び改良はこの詳細な説明から当業者には自明であることは明らかである。

図面の簡単な説明

【0016】 図1は、この発明に係る光検出装置の一実施例の構成を示すブロック図である。

【0017】 図2は、この発明に係る光検出装置の一実施例に含まれる積分回路の構成を示す図である。

【0018】 図3は、この発明に係る光検出装置の一実施例に含まれる光検出ユニット及び制御回路の構成を示すブロック図である。

【0019】 図4は、この発明に係る光検出装置の一実施例における第1基板及び第2基板の配置関係を説明するための斜視図である。

【0020】 図5は、この発明に係る光検出装置の一実施例における第1基板及び第2基板の第1断面構造を示す図である。

【0021】 図6は、この発明に係る光検出装置の一実施例における第1基板及び第2基板の第2断面構造を示す図である。

【0022】 図7は、この発明に係る光検出装置の一実施例における第1基板及び第2基板の第3断面構造を示す図である。

【0023】 図8A及び図8Bは、この発明に係る光検出装置の一実施例における第2基板の階層構造を説明するための模式図である。

【0024】 図9は、この発明に係る光検出装置の一実施例において、第2基板のデバイス形成層の断面構造を示す図である。

発明を実施するための最良の形態

【0025】 以下、この発明に係る光検出装置の実施例を、図1～7、8A、
5 8B及び9を用いて詳細に説明する。なお、図面の説明において、同一の要素に
は同一の符号を付し、重複する説明を省略する。

【0026】 まず、この発明に係る光検出装置の回路構成例について、図1～
図3を用いて説明する。

【0027】 図1は、この発明に係る光検出装置の一実施例の構成を示すプロ
10 ック図である。この図1において、光検出装置1は、M組の光検出ユニットU₁
～U_Mを備える。各光検出ユニットU_mは、互いに同様の構成を有しており、N個
のフォトダイオードPD_{m, 1}～PD_{m, N}、N個のスイッチSW_{m, 1}～SW_{m, N}、1
個の積分回路10_m、1個のCDS (Correlated Double Sampling: 相関二重サ
ンプリング) 回路20_m及び1個のサンプルアンドホールド回路(以下、ホール
15 ド回路という)30_mを備える。ここで、Mは1以上の整数、Nは2以上の整数、
mは1以上M以下の整数、また、以下に現れるnは1以上N以下の整数である。

【0028】 各フォトダイオードPD_{m, n}は、入射光強度に応じた量の電荷を
発生する光学デバイスである。スイッチSW_{m, n}は、フォトダイオードPD_{m, n}
に対応して設けられており、その第1端が該フォトダイオードPD_{m, n}に接続さ
れる一方、その第2端が共通配線50_mに接続されている。スイッチSW_{m, n}は、
20 第1端と第2端との間が電気的に開閉が可能である。共通配線50_mは、光検出
ユニットU_mに含まれるN個のスイッチSW_{m, 1}～SW_{m, N}それぞれの第2端に共
通に接続されている。

【0029】 積分回路10_mは、共通配線50_mに入力端が接続され、この入力
25 端を介して入力された電荷を容量素子に蓄積する。そして、積分回路10_mは、
この容量素子に蓄積されている電荷量に応じた電圧値を出力端から出力する。C

D S回路 20_m は、積分回路 10_m から出力された電圧値を入力し、該入力された電圧値の一定時間の変動分を表す電圧値を出力する。ホールド回路 30_m は、C D S回路 20_m から出力された電圧値を入力し、その電圧値を一定期間に亘って保持する。

5 【0030】 図2は、この発明に係る光検出装置の一実施例に含まれる積分回路 10_m の回路図である。この図2に示された積分回路 10_m は、共通配線 50_m に接続された入力端と出力端との間に並列に配置されたアンプA、容量素子C及びスイッチSWを有する。スイッチSWが閉じることにより、容量素子Cが放電されて、積分回路 10_m の出力端から出力される電圧値が初期化される。一方、スイッチSWが開いているときには、共通配線 50_m を経て入力端に入力された電荷が容量素子Cに蓄積され、この容量素子Cに蓄積されている電荷量に応じた電圧値が出力端から出力される。

10 【0031】 図3は、この発明に係る光検出装置の一実施例に含まれる光検出ユニット U_m 及び制御回路40の構成を示すブロック図である。制御回路40は、当該光検出装置1全体の動作を制御するため、当該光検出装置1において1つのみ設けられていればよい。具体的に制御回路40は、各光検出ユニット U_m に含まれるN個のスイッチ $SW_{m,1} \sim SW_{m,N}$ それぞれを順次に閉じて、N個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ それぞれを順次積分回路 10_m の入力端に電気的に接続させる。制御回路40は、積分回路 10_m に含まれるスイッチSWの開閉を制御して、積分回路 10_m における初期化及び積分動作のタイミングを制御する。また、制御回路40は、C D S回路 20_m 及びホールド回路 30_m それぞれの動作タイミングも制御する。

15 【0032】 また、図3に示されたように、当該光検出装置1の各構成要素は、第1基板100及び第2基板200の2つの基板に分割されて設置されている。すなわち、第1基板100上には、 $M \times N$ 個のフォトダイオード $PD_{1,1} \sim PD_{M,N}$ がM行N列になるよう二次元配列されている。また、第2基板200上には、

$M \times N$ 個のスイッチ $SW_{1,1} \sim SW_{M,N}$ 、 M 個の積分回路 $10_1 \sim 10_M$ 、 M 個の CDS 回路 $20_1 \sim 20_M$ 、 M 個のホールド回路 $30_1 \sim 30_M$ 及び 1 個の制御回路 40 が配置されている。そして、第 1 基板 100 と第 2 基板 200 とが互いにバンプ接続されている。

5 【0033】 第 1 基板 100 に光が入射すると、各光検出ユニット U_m において、閉じているスイッチ $SW_{m,n}$ に対応するフォトダイオード $PD_{m,n}$ から入射光強度に応じた量の電荷が出力される。フォトダイオード $PD_{m,n}$ から出力された電荷は、第 1 基板 100 からバンプを経て第 2 基板 200 へ移動し、第 2 基板 200 上のスイッチ $SW_{m,n}$ 及び共通配線 50_m を経て積分回路 10_m の入力端に到達する。そして、第 2 基板 200 上の積分回路 10_m の出力端から、フォトダイオード $PD_{m,n}$ で発生した電荷量に応じた電圧値が出力される。さらに、第 2 基板 200 上の CDS 回路 20_m からは、積分回路 10_m から出力された電圧値の一定時間の変動分を表す電圧値が出力され、第 2 基板 200 上のホールド回路 30_m により、CDS 回路 20_m から出力された電圧値が一定期間に亘って保持される。各光検出ユニット U_m において、 N 個のスイッチ $SW_{m,1} \sim SW_{m,N}$ それぞれが順次閉じて、 N 個のフォトダイオード $PD_{m,1} \sim PD_{m,N}$ それぞれから出力された電荷について同様の処理が順次行われる。

10 【0034】 次に、この発明に係る光検出装置の一実施例における第 1 基板 100 と第 2 基板 200 との間の配置関係及び電気的接続について、図 4～図 7 を用いて詳細に説明する。

15 【0035】 図 4 は、この発明に係る光検出装置の一実施例における第 1 基板 100 及び第 2 基板 200 の配置関係を示す斜視図である。当該光検出装置 1 では、第 1 基板 100 と第 2 基板 200 とが互いにバンプ接続されており、第 1 基板 100 上に配置されたフォトダイオード $PD_{m,n}$ と、第 2 基板 200 上のスイッチ $SW_{m,n}$ の第 1 端とが、互いに電気的に接続されている。そして、図 4 に示されたように、それぞれの基板 100 、 200 が光の入射方向から見て重なるよ

5

うに積層された状態で実装されている。また、この積層方向（各基板の正面に対して垂直な方向）から見たときの第2基板200の外枠は、第1基板100の外枠と一致するか、あるいは、第1基板100の外枠より内側にあるのが好ましい（第1基板100の正面サイズよりも第2基板200の正面サイズの方が小さい）。このような第1基板100及び第2基板200それぞれのサイズの関係は、第1基板100と第2基板200とをバンプ接続することにより可能である。この場合、複数の光検出装置1を配列する際に、フォトダイオードが設けられている各第1基板100を極めて接近させて又は接触させて配列することができる。

【0036】 図5は、この発明に係る光検出装置の一実施例における第1基板100及び第2基板200の第1断面構造を示す図である。なお、この図5において、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

15

20

25

【0037】 第1基板100は、n型半導体基板であって、該n型半導体基板の第1面上には、該n型半導体基板とともにp-n接合を形成してフォトダイオードPDを構成するp⁺領域111と、アイソレーション領域としてのn⁺領域112とが形成されている。また、第1基板100であるn型半導体基板の第2面（第1面と対向し、第2基板200に対面した面）には、ボンディングパッド124とオーム接続を形成するn⁺層121と、表面を保護するための絶縁性の保護層122と、保護層122を貫通してn⁺層121と電気的に接続されるボンディングパッド124とが形成されている。さらに、第1基板100は、第1面と第2面との間を貫通する貫通孔が設けられ、その貫通孔に貫通電極131が埋め込まれている。そして、第1基板100の第1面側においてp⁺領域111と貫通電極131とを電気的に接続する金属配線113が絶縁膜114上に形成され、また、第2面側において貫通電極131と電気的に接続されたボンディングパッド123が形成されている。貫通電極の周囲には、第1基板100のn型領域やn⁺層121との電気的絶縁のため、絶縁層116が形成されている。

5

【0038】 第2基板200は、デバイス形成層210を含む半導体基板であって、該半導体基板の第1面（第1基板100と対面する面）上に、スイッチSWの第1端と電気的に接続されたボンディングパッド223、及び、接地電位に電気的に接続されたボンディングパッド224が形成されている。そして、第1基板100のボンディングパッド123と第2基板200のボンディングパッド223とはバンプ423を介して互いに接続されており、また、第1基板100のボンディングパッド124と第2基板200のボンディングパッド224とはバンプ424を介して互いに接続されている。第1基板100と第2基板200との間の隙間は樹脂300により充填されている。

10

【0039】 また、第1基板100の第1面の側には、シンチレータ510及び遮蔽材520が配置されている。シンチレータ510は、第1基板100のp⁺領域111の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生する。遮蔽版520は、第1基板100のn⁺領域112の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレータ510を固定する部材である。

15

【0040】 この図5に示された構成では、X線等のエネルギー線がシンチレータ510に入射すると、該シンチレータ510からシンチレーション光が発生する。このシンチレーション光が第1基板100のp⁺領域111に入射すると、p-n接合部において電荷が発生する。発生した電荷は、金属配線113、貫通電極131、ボンディングパッド123、バンプ423及び第2基板200のボンディングパッド223を経て、第2基板200のデバイス形成層210内に形成されたスイッチSWを経て積分回路10の入力端に到達する。積分回路10のスイッチSW_{m, n}が開いていれば、入力端から入力された電荷は容量素子Cに蓄積される。そして、積分回路10の出力端から、容量素子Cに蓄積されている電荷量に応じた電圧値が出力される。

20

【0041】 図6は、この発明に係る光検出装置の一実施例における第1基板

100及び第2基板200の第2断面構造を示す図である。なお、この図6においても、左右方向に基本パターンが繰り返されて示されているので、以下では1つの基本パターンについてのみ説明する。

【0042】 第1基板100は、n型半導体基板であり、該n型半導体基板の第1面（シンチレータ510に対面する面）上には、電荷再結合を防止するためのn⁺型アキュムレーション層151と、表面を保護するための絶縁性の保護層152とが形成されている。第1基板100であるn型半導体基板の第2面（第2基板200に対面した面）上には、該n型半導体基板とともにp-n接合を形成してフォトダイオードPDを構成するp⁺領域161が形成され、アイソレーション領域としてのn⁺領域162が形成され、これらの上に保護層163が形成されている。また、第1基板100の第2面には、p⁺領域161と電気的に接続されたボンディングパッド164と、n⁺領域162と電気的に接続されたボンディングパッド165とが形成されている。

【0043】 第2基板200は、半導体基板であり、該半導体基板の第1面（第1基板100に対面した面）上には、スイッチSW_{m, n}の第1端と電気的に接続されたボンディングパッド264及びボンディングパッド265が形成されている。そして、第1基板100のボンディングパッド164と、第2基板200のボンディングパッド264とは、バンプ464を介して互いに接続されている。第1基板100のボンディングパッド165と、第2基板200のボンディングパッド265とは、バンプ465を介して互いに接続されている。第1基板100と第2基板200との間の隙間は樹脂300により充填されている。

【0044】 また、第1基板100の第1面の側には、シンチレータ510及び遮蔽材520が配置されている。シンチレータ510は、第1基板100のp⁺領域161の上方に設けられ、X線等のエネルギー線が入射することによりシンチレーション光を発生する。遮蔽版520は、第1基板100のn⁺領域162の上方に設けられ、X線等のエネルギー線の透過を阻止するとともに、シンチレー

タ510を固定する部材である。また、第1基板100は、p⁺領域161が形成された部分において、第1面側がエッチングされて、厚みが薄くされている。

【0045】この図6に示された構成では、X線等のエネルギー線がシンチレータ510に入射すると、そのシンチレータ510からシンチレーション光が発生する。このシンチレーション光が第1基板100を透過してp⁺領域161に入射すると、p n接合部において電荷が発生する。発生した電荷は、ボンディングパッド164、バンプ464及び第2基板200のボンディングパッド264を経て、第2基板200のデバイス形成層210内に形成されているスイッチSW_{m, n}を経て積分回路10の入力端に到達する。積分回路10のスイッチSWが開いていれば、入力端から入力された電荷は容量素子Cに蓄積される。そして、積分回路10の出力端から、容量素子Cに蓄積されている電荷量に応じた電圧値が出力される。

【0046】図7は、この発明に係る光検出装置の一実施例における第1基板100及び第2基板200の第3断面構造を示す図である。この図7に示された断面構造は、図5に示された断面構造と類似しているが、第1基板100におけるフォトダイオードの配置ピッチより、第1基板100と第2基板200との間のバンプバンプ423の配置ピッチが短い点で相違している。このような構成とするために、第1基板100におけるフォトダイオードの配置ピッチより、第2基板200に形成されたボンディングパッド223の配置ピッチが狭くなっている。また、第1基板100の第2面側に形成されたボンディングパッド123は、貫通電極131との接続位置からバンプ423との接続位置まで、必要に応じて長くなっている。なお、この図7では、ボンディングパッド124、ボンディングパッド224及びバンプ424が示されていないが、これらについても同様である。加えて、図6に示された断面構造においても、第1基板100におけるフォトダイオードの配置ピッチより、第1基板100と第2基板200との間のバンプ464、465の配置ピッチが短くなっていてもよい。

【0047】 次に、この発明に係る光検出装置の一実施例における第2基板200の断面構造について、図8A、8B及び9を用いて詳細に説明する。

【0048】 図8A及び8Bは、この発明に係る光検出装置の一実施例における第2基板200の階層構造を説明するための模式図であり、図8Aは、パンプ接続用のボンディングパッド290（図5及び図7におけるボンディングパッド223、224、図6におけるボンディングパッド264、265に相当）が設けられた層における、これらボンディングパッド290の配置を模式的に示す。また、図8Bは、各光検出ユニットU_mに含まれるN個のスイッチSW_{m,1}～SW_{m,N}、積分回路10_m、CDS回路20_m、ホールド回路30_m及び制御回路40それぞれの半導体層及びゲート層の形成領域の配置を模式的に示す。また、これら図8A及び8Bにおいて、領域Fは、第2基板200の面に対して垂直に第2基板200を見たときに全てのボンディングパッド290を含む最小矩形領域を示す。

【0049】 図8A及び8Bに示されたように、第2基板200において、パンプ接続用のボンディングパッド290が設けられた層より下の層（デバイス形成層210）に、各光検出ユニットU_mに含まれるN個のスイッチSW_{m,1}～SW_{m,N}、共通配線50_m、積分回路10_m、CDS回路20_m及びホールド回路30_mが形成されている。なお、このデバイス形成層には、さらに制御回路40が形成されてもよい。また、これらデバイス及び回路は、領域F内に形成されているのが好ましい。さらに、各光検出ユニットU_mにおいて、N個のフォトダイオードPD_{m,n}それから積分回路10_mの入力端へ至るまでの電荷移動経路に沿った距離をL_{m,n}としたとき、距離L_{m,1}～L_{m,N}のうちの最大距離が最小となる位置で積分回路10_mの入力端が共通配線50_mに接続されるのが好ましい。

【0050】 図9は、この発明に係る光検出装置の一実施例において、第2基板200におけるデバイス形成層210の断面構造を示す図である。この図9に模式的に示されたように、第2基板200には、第2面から第1面（第1基板1

00に対面した面)へ向かって順に、半導体層270、ゲート層281、絶縁層282、第1金属配線層283、絶縁層284、第2金属配線層285、絶縁層286及びボンディングパッド290が設けられている。

【0051】 半導体層270は、n型半導体基板であってn⁺型領域271が形成され、このn⁺型領域271内にp⁺型領域272及びp⁺型領域273が形成されている。半導体層270及びゲート層281は、各種回路(積分回路10_m、CDS回路20_m、ホールド回路30_m、制御回路40)を構成する。第1金属配線層283は、回路間又は回路内の信号配線として用いられる。第2金属配線層285は、回路に電源電圧を供給するための配線として用いられる。第1金属配線層283及び第2金属配線層285それぞれは、所定の箇所において、コンタクトホールを介して、半導体層270又はゲート層281と電気的に接続されている。また、ボンディングパッド290は、所定の箇所において、コンタクトホールを介して、第1金属配線層283と電気的に接続されている。

【0052】 以上のように、当該光検出装置1では、バンプ接続用のボンディングパッド290が設けられた層より下のデバイス形成層210に、各光検出ユニットU_mに含まれるN個のスイッチSW_{m,1}～SW_{m,N}、共通配線50_m、積分回路10_m、CDS回路20_m、ホールド回路30_m及び制御回路40も形成されている。

【0053】 このように構成された光検出装置1では、第2基板200の小型化が容易になるとともに、各フォトダイオードPD_{m,n}から積分回路10_mの入力端へ至るまでの電荷移動経路が短くなつて、その経路上の配線における寄生容量が小さくなる。その結果、積分回路10_mから出力される電圧値に含まれる雑音が小さく、正確な光検出をすることが可能になる。

【0054】 以上のような構造を有する光検出装置1(この発明に係る光検出装置)は、以下のような効果を奏することができる。すなわち、各フォトダイオードPD_{m,n}から積分回路10_mの入力端へ至るまでの電荷移動経路が短くなつ

て、その経路上の配線における寄生容量が小さくなる。その結果、積分回路 10_m から出力される電圧値に含まれる雑音が小さく、正確な光検出をすることが可能になる。また、第 1 基板 100 上には積分回路 10_m などの信号処理用の回路が存在しないので、画素数の増加や高密度化が可能である。第 1 基板 100 の主面サイズより第 2 基板 200 の主面サイズを小さくすることが容易となり、複数の光検出装置 1 を配列する際に、フォトダイオードが設けられている各第 1 基板 100 を極めて接近させて又は接触させて配列することができる。フォトダイオードアレイが形成される第 1 基板 100 と、積分回路 10_m などの信号処理回路が形成される第 2 基板 200 とで、最適な製造プロセスを採用することができる
10 の点でも好ましい。

【0055】 さらに、従来の光検出装置（特開 2001-242253 号公報）と比較すると、当該光検出装置 1 は下記のような利点をも有する。すなわち、従来の光検出装置では、第 1 基板と第 2 基板とがワイヤボンディングで接続されることから、第 1 基板上にシンチレータが配列される際に、ワイヤボンディング用のパッドの上方には、シンチレータを配置することができないか、あるいは、シンチレータを配置したとしても該シンチレータの形状を他とは異なるものとしなければならない。このことから、従来の光検出装置は、複数の光検出素子を並列配置したときに各第 1 基板上の複数のフォトダイオードは一様なピッチでは配列され得ず、あるいは、1 つの光検出素子においても第 1 基板上の複数のフォトダイオードは一様な感度では光を検出し得ない。これに対して、この発明に係る光検出装置 1 は、第 1 基板と第 2 基板とがバング接続されていて、第 1 基板より第 2 基板を小さくすることができるので、このような問題が生じない。

【0056】 この発明は、上述の実施例に限定されるものではなく、種々の変形が可能である。例えば、第 1 基板 100 及び第 2 基板 200 それぞれの断面構造は、図 5～図 7 及び図 9 それぞれに示された構造に限定されない。また、第 2 基板 200 のデバイス形成層 210 には、さらに他の回路（例えば、ホールド回

路 $30\text{ }\mu\text{m}$ からの出力電圧値を A/D 変換する A/D 変換回路など) が設けられていてもよい。

5 【0057】 以上の本発明の説明から、本発明を様々に変形しうることは明らかである。そのような変形は、本発明の思想及び範囲から逸脱するものとは認め

ることはできず、すべての当業者にとって自明である改良は、以下の請求の範囲

に含まれるものである。

産業上の利用可能性

【0058】 以上のようにこの発明によれば、フォトダイオードが設けられた第 1 基板と、共通配線及び積分回路などが設けられた第 2 基板とは、互いにバン

10 プ接続されている。さらに、第 2 基板において、バンプ接続用のボンディングパッ

ドが設けられた層より下のデバイス形成層層に、共通配線及び積分回路などが

設けられている。このような構成により、当該光検出装置は、各フォトダイオー

ドから積分回路の入力端へ至るまでの電荷移動経路が短くなつて、その経路上の

配線における寄生容量が小さくなる。その結果、積分回路から出力される電圧値

15 に含まれる雑音が小さく、正確な光検出をすることが可能になる。また、第 1 基

板上には積分回路などの信号処理用の回路が存在しないので、画素数の増加や高

密度化が可能である。

請求の範囲

1. それぞれが入射光強度に応じた電荷を発生するN（2以上の整数）個のフォトダイオードと、

前記N個のフォトダイオードが設けられた第1基板であって、一方の表面上に該N個のフォトダイオードにそれぞれ対応したN個の第1ボンディングパッドが配置された第1基板と、

前記第1基板とバンプ接続された第2基板であって、該第1基板と向かい合う第1表面上に前記N個の第1ボンディングパッドに対応して設けられかつそれが該N個の第1ボンディングパッドのうち関連する第1ボンディングパッドとバンプを介して電気的に接続されたN個の第2ボンディングパッドが配置されるとともに、前記第1表面と該第1表面に對向する第2表面との間にデバイス形成層を含む第2基板と、

前記N個のフォトダイオードにそれぞれ対応して前記第2基板の前記デバイス形成層内に設けられた、電気的に開閉可能な第1及び第2端を有するN個のスイッチであって、それぞれの第1端は、前記N個のフォトダイオードのうち関連するフォトダイオードと、関連する第1ボンディングパッド、バンプ及び第2ボンディングパッドを介して電気的に接続されているN個のスイッチと、

前記第2基板の前記デバイス形成層内に設けられた共通配線であって、前記N個のスイッチそれぞれの第2端に共通に接続された共通配線と、そして、

前記第2基板の前記デバイス形成層内に設けられ、前記共通配線を介して入力された電荷を蓄積する積分回路であって、前記共通配線と電気的に接続された入力端と、蓄積された電荷量に応じた電圧値を出力するための出力端を有する積分回路とを備えた光検出装置。

2. 請求項1記載の光検出装置において、

前記第2基板の前記第1表面のうち前記N個の第2ボンディングパッドが配置された領域に相当する、前記第2基板の前記デバイス形成層内の領域に、前記N

個のスイッチ、前記共通配線及び前記積分回路が配置されている。

3. 請求項 1 記載の光検出装置において、

前記積分回路の入力端は、前記N個のフォトダイオードそれぞれから前記積分回路の入力端へ至るまでの電荷移動経路に沿った距離のうち最大距離が最小となる位置において、前記共通配線と接続されている。

4. 請求項 1 記載の光検出装置において、

前記第 1 基板と前記第 2 基板との間に配置されるバンプの配置ピッチは、前記第 1 基板における前記N個のフォトダイオードの配置ピッチよりも短い。

5. 請求項 1 記載の光検出装置において、

前記第 1 及び第 2 基板の間には、樹脂が充填されている。

6. それぞれが請求項 1 記載の光検出装置と同様の構造を有するM（2以上の整数）組の光検出ユニットを備える光検出装置。

7. それぞれが請求項 1 記載の光検出装置と同様の構造を有するM（2以上の整数）組の光検出ユニットと、

前記M組の光検出ユニットの前記第 1 基板それに相当する第 1 共通基板と、そして、

前記M組の光検出ユニットの前記第 2 基板それに相当する第 2 共通基板とを備えた光検出装置。

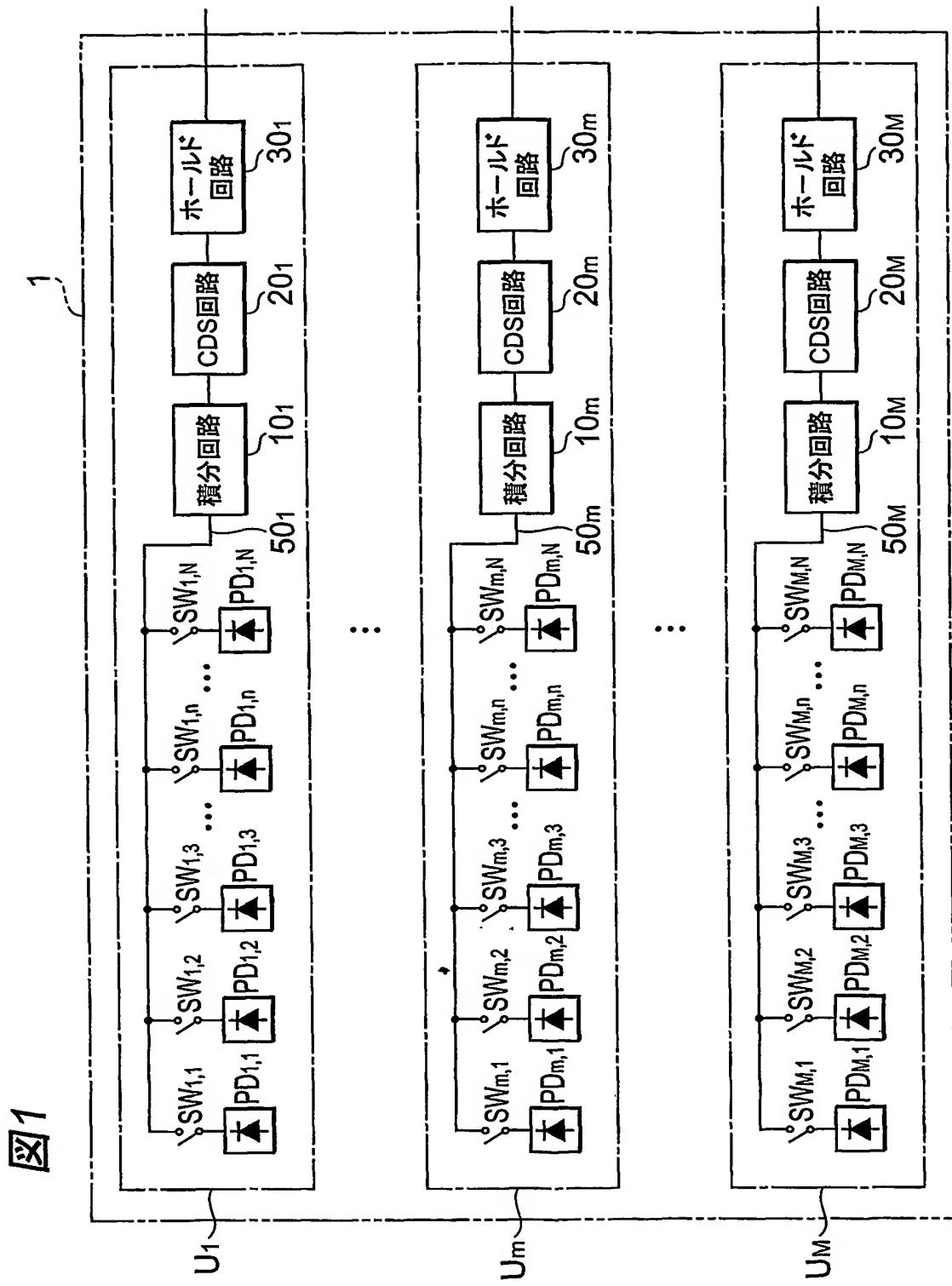


図2

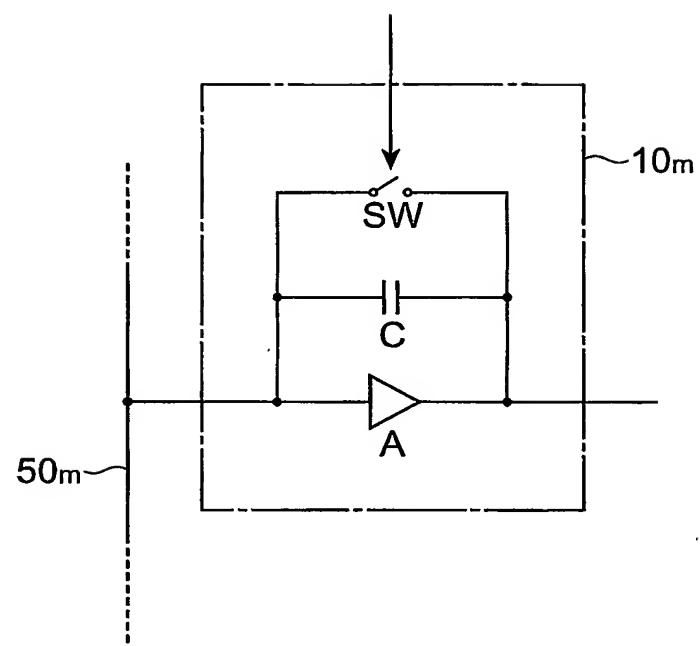


図3

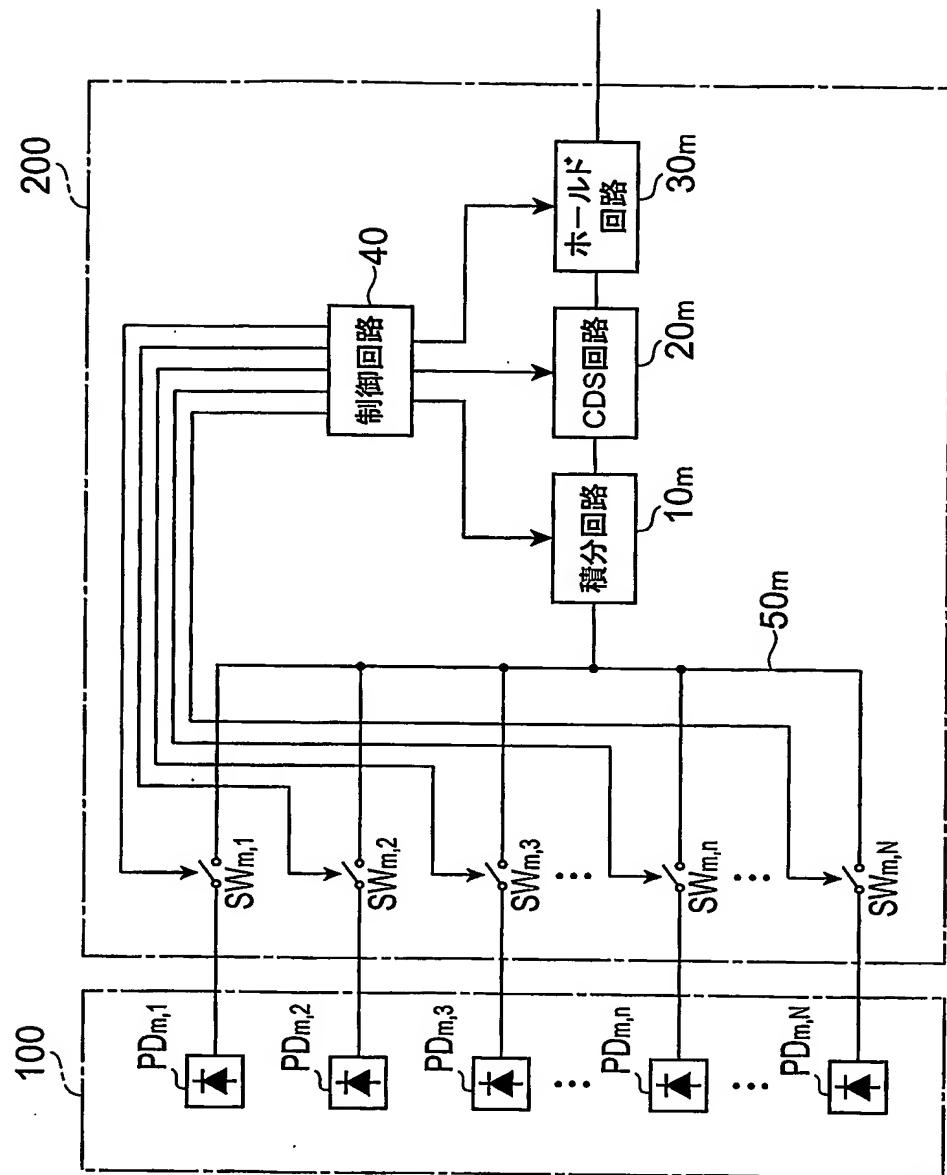


図4

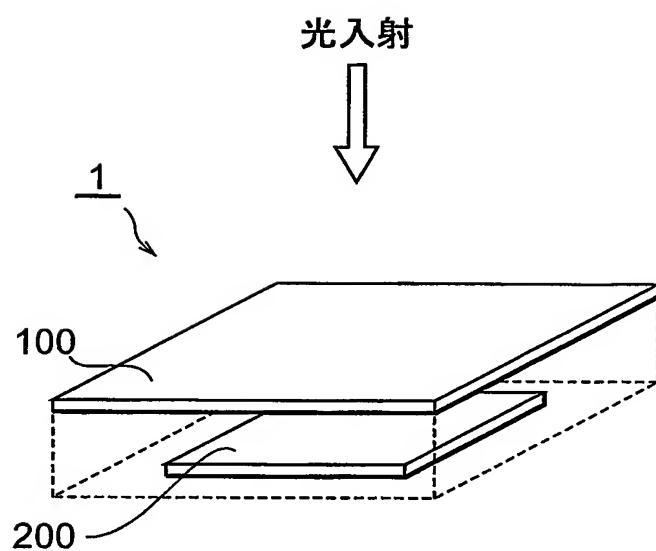
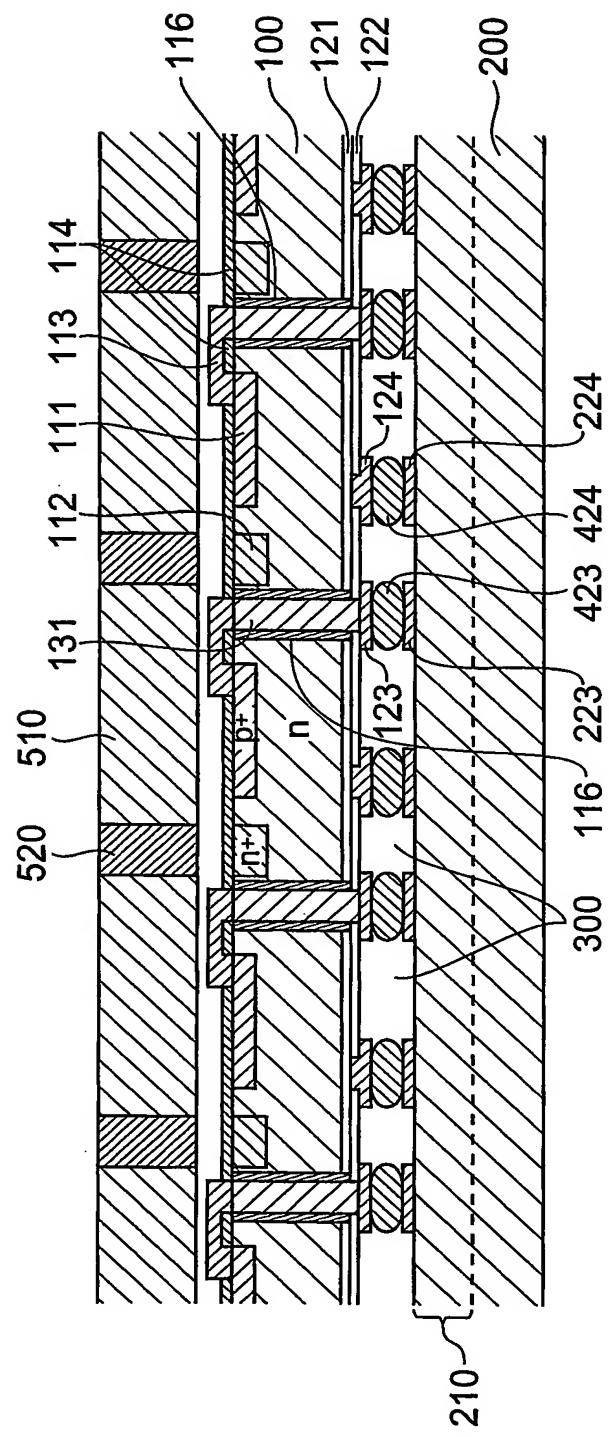
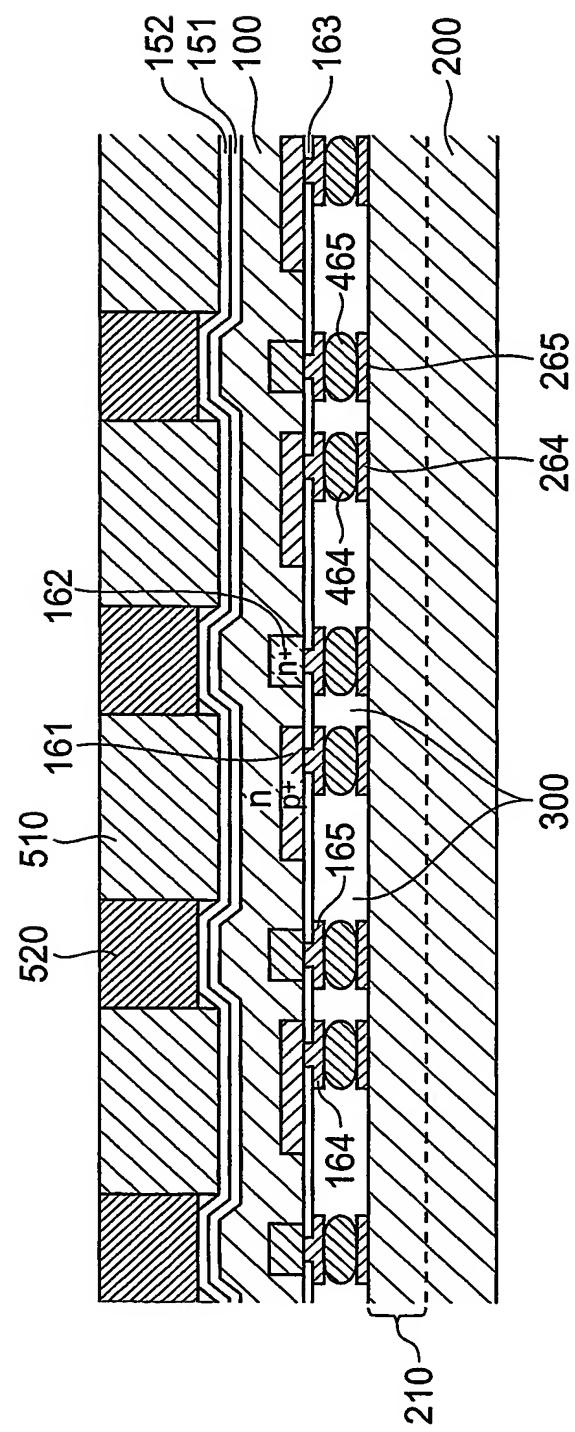
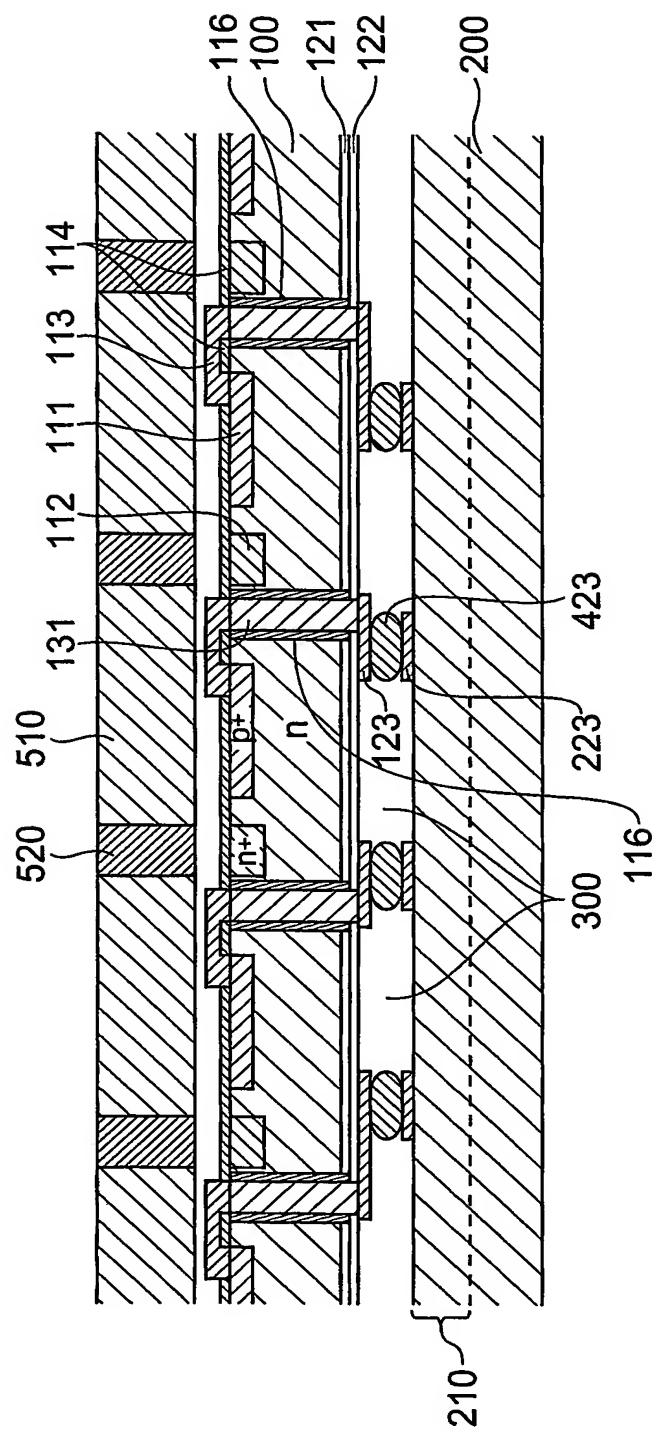


図5



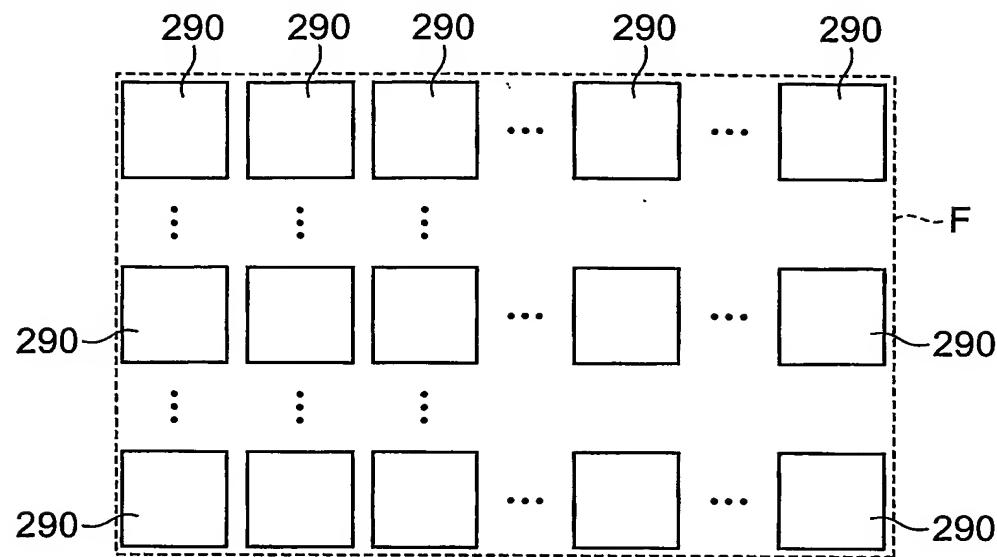


6



7

图8A



☒ 8B

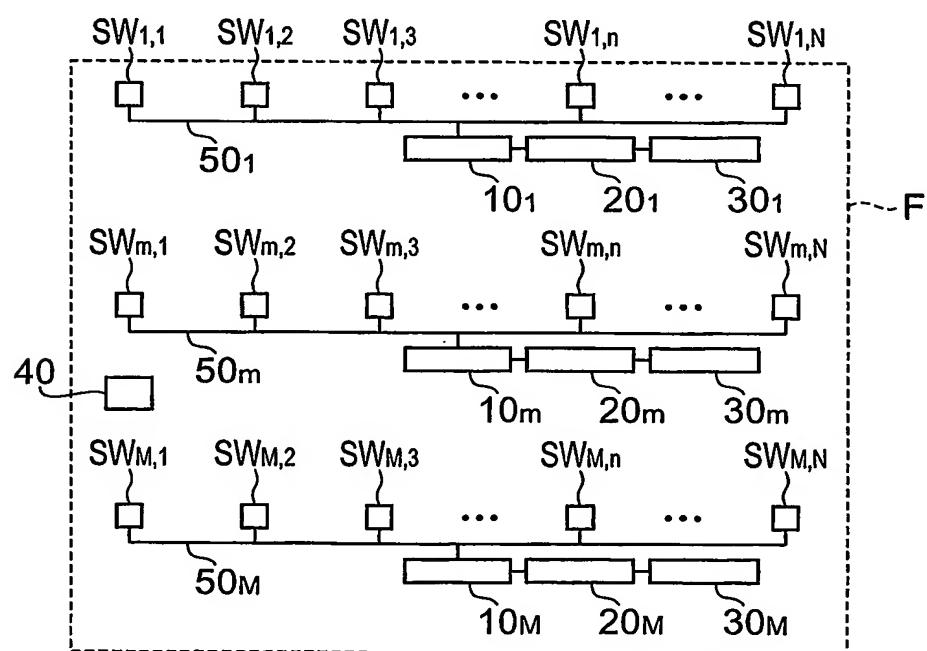
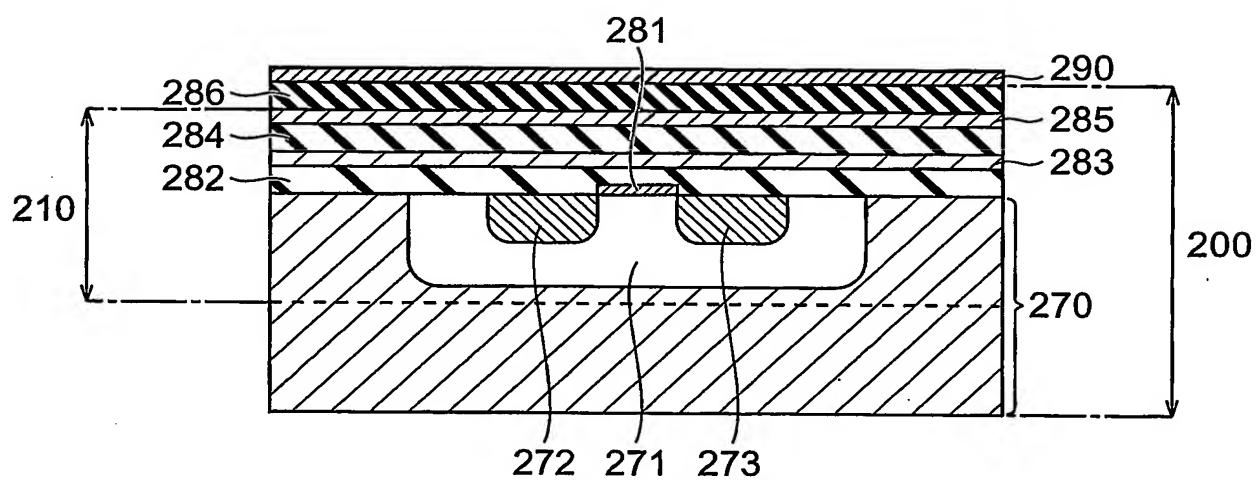


図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14674

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/146, H04N5/32, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/146, H04N5/32, H04N5/335, G01T1/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-291877 A (Hamamatsu Photonics Kabushiki Kaisha), 19 October, 2001 (19.10.01), Full text; Figs. 1 to 4 (Family: none)	1-7
Y	WO 02/12845 A1 (Hamamatsu Photonics Kabushiki Kaisha), 14 February, 2002 (14.02.02), Full text; Figs. 1 to 10 & EP 1314969 A1 & US 2003/0156211 A1 & AU 7672601 A	1-7
Y	JP 5-315578 A (Fujitsu Ltd.), 26 November, 1993 (26.11.93), Full text; Figs. 1 to 3 (Family: none)	5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
09 February, 2004 (09.02.04)

Date of mailing of the international search report
24 February, 2004 (24.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14674

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1207559 A2 (CANNON KABUSHIKI KAISHA), 22 May, 2002 (22.05.02), Full text; Figs. 1 to 16 & JP 2002-246582 A Full text; Figs. 1 to 12 & US 2002/0074503 A1	1,2
A	JP 2002-311146 A (Hamamatsu Photonics Kabushiki Kaisha), 23 October, 2002 (23.10.02), Full text; Figs. 1 to 5 (Family: none)	1
P, Y	JP 2003-264280 A (Hamamatsu Photonics Kabushiki Kaisha), 19 September, 2003 (19.09.03), Full text; Figs. 1 to 8 & WO 03/77318 A1	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' H01L27/146, H04N5/32, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' H01L27/146, H04N5/32, H04N5/335, G01T1/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-291877 A (浜松ホトニクス株式会社) 2001.10.19, 全文, 第1-4図 (ファミリーなし)	1-7
Y	WO 02/12845 A1 (浜松ホトニクス株式会社) 2002.02.14, 全文, 第1-10図 & EP 1314969 A1 & US 2003/0156211 A1 & AU 7672601 A	1-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

09.02.2004

国際調査報告の発送日

24.2.2004

国際調査機関の名称及びあて先

 日本国特許庁 (ISA/JP)
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齊藤 恒一

4L 8122

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 5-315578 A (富士通株式会社) 1993. 11. 26, 全文, 第1-3図 (ファミリーなし)	5
A	EP 1207559 A2 (CANON KABUSHIKI KAISHA) 2002. 05. 22, 全文, 第1-16図 & JP 2002-246582 A, 全文, 第1-12図 & US 2002/0074503 A1	1, 2
A	JP 2002-311146 A (浜松ホトニクス株式会社) 2002. 10. 23, 全文, 第1-5図 (ファミリーなし)	1
P Y	JP 2003-264280 A (浜松ホトニクス株式会社) 2003. 09. 19, 全文, 第1-8図 & WO 03/77318 A1	1-7